

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09298407 A

(43) Date of publication of application: 18.11.97

(51) Int. Cl.

H01P 3/08

H01P 1/30

(21) Application number: 08113502

(71) Applicant: NEC CORP

(22) Date of filing: 08.05.96

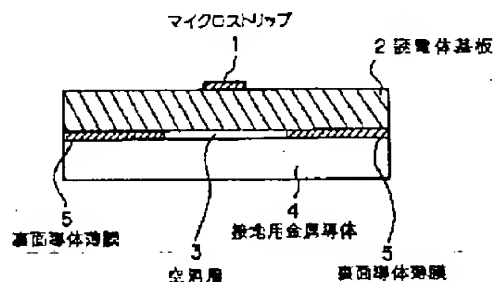
(72) Inventor: ASANO TAKAHIRO

(54) MICROSTRIP LINE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the passing loss by forming a conductor thin film with a cavity corresponding to the location of a microstrip on the rear side of a microstrip dielectric board and fixing a ground metallic conductor to the conductor thin film.

SOLUTION: A part of a rear conductor thin film 5 formed in advance by vapor-deposition or the like on the rear side of a dielectric board 2 where a microstrip 1 is placed on the front and corresponding to the microstrip 1 is exfoliated or removed in advance in the case of forming a pattern of the board. Thus, in the case of soldering or screw-fastening the dielectric board 2 and a ground metallic conductor 4, a cavity layer 3 is formed between the dielectric board 2 and the round metallic conductor 4 corresponding to the board 2. Through the constitution above, even when a dielectric board whose dielectric constant is high is in use, since the dielectric constant of the cavity layer is '1', the combined dielectric constant is nearly '1', the wavelength reduction rate of the circuit is increased, and a transmission loss of the microstrip line is as small as that formed on a dielectric board whose dielectric is nearly '1'.



COPYRIGHT: (C)1997,JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-298407

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	3/08		H 0 1 P	3/08
	1/30			1/30
				Z

審査請求 有 請求項の数 2 O L (全 3 頁)

(21) 出願番号 特願平8-113502

(22) 出願日 平成8年(1996)5月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浅野 貴弘

東京都港区芝五丁目7番1号 日本電気株式会社内

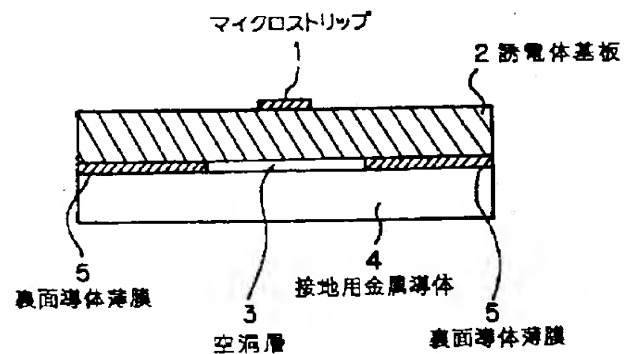
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 マイクロストリップライン

(57) 【要約】

【課題】 マイクロ波集積回路を構成する高周波伝送線路であるマイクロストリップラインにおいて、通過損失量を低減すること。

【解決手段】 マイクロストリップラインにおいて、高周波伝送線路であるマイクロストリップ1が配線された誘電体基板2と、前記誘電体基板の裏面に固定され前記マイクロストリップ1が位置する対応部分を欠いた空洞3を有する導体薄膜5と、前記導体薄膜に固定された接地用金属導体4とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 高周波伝送線路であるマイクロストリップが配線された誘電体基板と、前記誘電体基板の裏面側に固定され前記マイクロストリップが位置する対応部分を欠いた空洞を有する導体薄膜と、前記導体薄膜に固定された接地用金属導体とを有することを特徴とするマイクロストリップライン。

【請求項2】 誘電体基板の裏面側に固定される導体薄膜のマイクロストリップが位置する対応部分を欠いた空洞は、誘電体基板のパターン形成の際に予め形成されることを特徴とする請求項1記載のマイクロストリップライン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波集積回路を構成する高周波伝送線路であるマイクロストリップラインにおいて、通過損失量を低減することを可能とした改良技術に関する。

【0002】

【従来の技術】マイクロストリップラインにおける通過損失量を低減する従来技術について、実開昭63-147003号公報に記載の技術に基づいて説明する。

【0003】図2は、従来のマイクロストリップラインの一実施例の構成を示す断面図である。同図において、11は高周波伝送線路であるマイクロストリップ、12はマイクロストリップ11が配線された誘電体基板、13はマイクロストリップ11が位置する誘電体基板12の裏面側に形成された空洞層、14は帯電を大地に逃す接地用金属導体、16は誘電体基板12の裏面から一定間隔を置いて接地用金属導体14を配置するためのスペーサで、その一部が欠けて空洞層13を形成している。

【0004】つぎに通過損失量を低減の作用について説明すると、マイクロストリップ11が配線された誘電体基板12と接地用金属導体14の間にスペーサ16を介して空洞層13が設けられ、誘電体12の一部として空気を利用することで、誘電体損失を低減している。

【0005】

【発明が解決しようとする課題】上述した従来のマイクロストリップラインでは、次のような問題点がある。

【0006】第1の問題点は、マイクロストリップラインの形状が厚くなるという点である。その理由は、誘電体基板下の空洞を確保するために、基板と接地用金属導体との間にスペーサを介していたためである。

【0007】第2の問題点は、従来の方法では、誘電体基板下の空洞を確実に確保できているかどうかを確認できないという点である。その理由は、マイクロストリップ下に、丁度空洞が出来るように上記スペーサの位置を設定するのは、基板で隠れてしまうために困難であるからである。

【0008】本発明は、従来技術の上記問題点に鑑み、

マイクロ波集積回路を構成する高周波伝送線路であるマイクロストリップラインにおいて、通過損失量を容易に低減し、かつ薄型化しその作製の容易化を図ることを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記の問題を解決するために、マイクロストリップラインとして、高周波伝送線路であるマイクロストリップが配線された誘電体基板の裏面側に前記マイクロストリップが位置する対応部分を欠いた空洞を有する導体薄膜を固定し、導体薄膜に接地用金属導体を固定したことを特徴とするものであり、これにより誘電体基板とそれに対向する接地用金属導体との間に空洞層が形成されることで、誘電率が低い誘電体基板を使用しても、誘電率が異なる物質が直列に接続されたときの合成誘電率は、 $\epsilon \epsilon' / (\epsilon + \epsilon')$ で表すことが出来るので、空洞層の誘電率 $\epsilon = 1$ を考えれば、誘電体基板の誘電率にかかわらず、合成誘電率はほぼ1となる。従って、本技術により、回路の波長短縮率を大きくすることが出来るので単位長さあたりの電気長が短くなり、そのため回路の通過損失も低減することが出来る。

【0010】加えて、誘電体基板とそれに対向する接地用金属導体との間に設けられた空洞層を形成するための手段としてスペーサを介さず、マイクロストリップが位置する誘電体基板の裏面の導体薄膜を無くすことで、その空洞層の厚みはわずか数 μm で済み、マイクロストリップラインの形状を薄くすることを可能にした。

【0011】

【発明の実施の形態】本発明、マイクロストリップラインの実施の形態としては、高周波伝送線路であるマイクロストリップが配線された誘電体基板の裏面に前記マイクロストリップが位置する対応部分を欠いた空洞を有する導体薄膜を固定し、さらに導体薄膜に接地用金属導体を固定するものである。

【0012】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。図1は本発明のマイクロストリップラインの一実施例の構成を示す断面図である。同図において、1は高周波伝送線路であるマイクロストリップ、2はマイクロストリップ1が配線された誘電体基板、3はマイクロストリップ1が位置する誘電体基板2の裏面側に形成された空洞層で、裏面導体薄膜5の対応部分を基板のパターン形成の際に予め剥離もしくは除去しておく。4は帯電を大地に逃す接地用金属導体、5は誘電体基板2の裏面に接地用金属導体4を接着し易くするための裏面導体薄膜で、基板のパターン形成の際、あらかじめ蒸着などで形成される。

【0013】つぎに上記構成による作用について説明すると、マイクロストリップ1が位置する誘電体基板2の裏面導体薄膜5には、基板のパターン形成の際、あらか

じめ剥離もしくは除去されており、誘電体基板2と接地用金属導体5を半田付けもしくはネジ止めしたときに、誘電体基板2とそれに対向する接地用金属導体5との間に空洞層3が形成される。

【0014】この構成によれば、誘電率が異なる物質が直列に接続されたときの合成誘電率は、 $\epsilon \epsilon' / (\epsilon + \epsilon')$ で表すことが出来るので、誘電率が高い誘電体基板を使用しても、空洞層の誘電率 $\epsilon = 1$ を考えれば、合成誘電率はほぼ1となる。従って、本技術により、回路の波長短縮率を大きくすることが出来るので単位長さあたりの電気長が短くなり、マイクロストリップラインは、誘電率がほぼ1の誘電体基板上に形成したものと同一少ない通過損失量で済む。

【0015】また、誘電体基板とそれに対向する接地用金属導体との間に設けられた空洞層を形成するための手段としてスペーサを介さず、マイクロストリップが位置する誘電体基板の裏面の導体薄膜を無くす方法を採用するために、その空洞層の厚みはわずか数 μm で形成できる。

【0016】さらに、空洞層を形成するための手段として位置設定が困難なスペーサの代わりに、誘電体基板の

裏面の導体薄膜を無くす方法を採用するため、位置設定が不要となった。

【0017】

【発明の効果】本発明の構成によれば、まず、誘電率が高い誘電体基板を使用しても、通過損失を低減することが出来る。また、マイクロストリップラインの形状を薄くすることを可能にしたことである。さらに、誘電体基板下の空洞層を確実に確保することを容易にし作製が容易になるという点である。

【図面の簡単な説明】

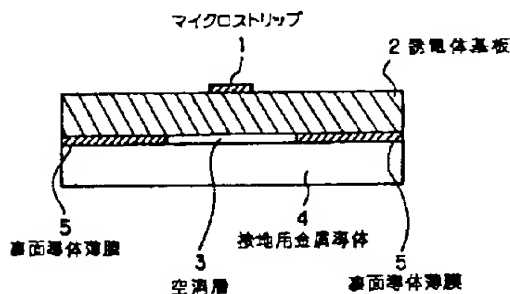
【図1】本発明のマイクロストリップラインの一実施例の構成を示す断面図

【図2】従来のマイクロストリップラインの一実施例の構成を示す断面図

【符号の説明】

- 1, 11 マイクロストリップ
- 2, 12 誘電体基板
- 3, 13 空洞層
- 4, 14 接地用金属導体
- 5 裏面導体薄膜
- 16 スペーサ

【図1】



【図2】

